

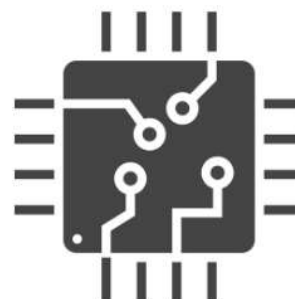


PROJEKT BADAWCZY PLAKAT INFORMACYJNY – CZERWIEC 2023



Katedra Systemów Mikroelektronicznych

Zespół projektowy: 14@KSME'2023pb	1. Michał Kardas - kierownik 2. Aleksandra Podgórska 3. Jakub Młodawski
Opiekun:	dr hab. inż. Jacek Jakusz
Klient:	R&D Director Grzegorz Matczak (Synopsys)
Data zakończenia:	15.06.2023
Słowa kluczowe:	Interpolator fazy, niskoskalowalna technologia CMOS, complementary metal-oxide- semiconductor



TEMAT PROJEKTU:

Badanie parametrów oraz optymalizacja interpolatorów fazy o różnych architekturach w niskoskalowalnej technologii CMOS

CELE I ZAKRES PROJEKTU:

Głównym celem jest dostarczenie rozwiązania klientowi. Ponadto:

1. Przygotowanie środowiska projektowego.
2. Optymalizacja założonych architektur w zadanej technologii.
3. Porównanie trzech architektur, zdefiniowanie wniosków badawczych oraz przygotowanie raportu z wykonanych prac.

OSIĄGNIĘTE REZULTATY:

1. Konsultacja z przedstawicielami firmy zlecającej wykonanie projektu oraz ustalenie specyfikacji.
2. Zapoznanie się z literaturą i typami architektur.
3. Przygotowanie środowiska pracy oraz wspólnej bazy projektowej.
4. Stworzenie jednolitego zestawu testów dla wszystkich architektur.
5. Implementacja architektur w dedykowanym programie symulacyjnym.

CECHY CHARAKTERYSTYCZNE ROZWIĄZANIA, KIERUNKI DALSZYCH PRAC:

Cechy charakterystyczne:

1. Projekt realizowany w niskoskalowalnej technologii CMOS.
2. Przepustowość interpolatorów 9 Gb/s.
3. Liczba kroków interpolacji – 64.
4. Porównanie pracy układów w jednolitych warunkach (technologii, pobudzeniu układu).

Kierunki dalszych prac:

1. Walidacja przygotowanych testbenchy i weryfikacja architektur.
2. Przeprowadzenie zaplanowanych testów i optymalizacja schematów (wymiarowanie tranzystorów).
3. Iteracyjne konsultacje z przedstawicielami firmy oraz opiekunem odnośnie osiągniętych rezultatów.
4. Porównanie architektur i wizualizacja wyników w formie raportów.
5. Przygotowanie publikacji/artykułu oraz prezentacji podsumowującej projekt.

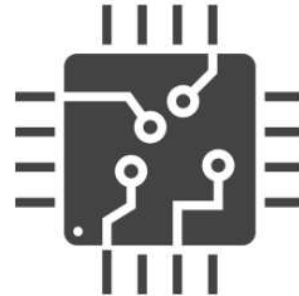


RESEARCH PROJECT INFORMATION FOLDER – JUNE 2023



Department of Microelectronic Systems

Project team: 14@KSME'2023pb	1. Michał Kardas - leader 2. Aleksandra Podgórska 3. Jakub Młodawski
Supervisor:	PhD Jacek Jakusz
Client:	R&D Director Grzegorz Matczak (Synopsys)
Date:	15.06.2023
Key words:	Phase interpolator, low-scalable CMOS technology, complementary metal-oxide-semiconductor



PROJECT TITLE:

Parameter analysis and optimization of phase interpolators of different architectures in low-scalable CMOS technology

OBJECTIVES AND SCOPE:

The main goal is to provide a solution to the customer. In addition:

1. Preparation of the design environment.
2. Optimization of the assumed architectures in the given technology.
3. Comparison of three architectures, definition of research conclusions and preparation of a report on the work done.

RESULTS:

1. Consultation with representatives of the commissioning company and establishment of specifications.
2. Familiarization with literature and types of architectures.
3. Preparation of a working environment and a common design base.
4. Creation of a consolidated set of tests for all architectures.
5. Implementation of architectures in a dedicated simulation program.

MAIN FEATURES, FUTURE WORKS:

Features:

1. Project implemented in low-scalable CMOS technology.
2. Interpolator throughput of 9 Gbps.
3. Number of interpolation steps - 64.
4. Comparison of circuit operation under consistent conditions (technology, circuit excitation).

Directions of further work:

1. Validation of prepared testbenches and verification of architectures.
2. Conduct planned tests and optimize schematics (transistor sizing).
3. Iterative consultations with company representatives and the supervisor regarding the achieved results.
4. Comparison of architectures and visualization of results in the form of reports.
5. Preparation of publication/article and presentation summarizing the project.